

자일링스 7시리즈 FPGA(1부) 28nm에서 전력소모를 낮추다!

이 글은 자일링스가 TSMC 28nm HKMG(High-k Metal Gate), 고성능, 저전력(28nm HPL 혹은 28HPL) 공정을 채택한 이유와 28nm 기반 7시리즈 FPGA의 전력과 관련된 여러 측면을 기술하고 있다.

뿐만 아니라 28 HPL 공정을 통해 얻을 수 있는 전력 혜택과 이 기술이 자일링스의 전 제품군에 걸쳐 어떠한 유용성을 실현했으며, 또한 정적 전력 및 동적 전력, I/O 전력 전반에 걸쳐 전력소모를 절감하기 위한 아키텍처 측면의 혁신과 기능은 무엇인지를 설명하고 있다.

자료제공: 자밀 후센(Jameel Hussein), 매트 클레인(Matt Klein), 마이클 하트(Michael Hart)
자일링스 / www.xilinx.com

FPGA의 전력소모는 FPGA를 선택하는데 있어 가장 중요한 요소가 되고 있다. 이는 절대적인 전력소모와 가용한 성능, 배터리 수명, 열 문제나 안정성, 전력소모 등 그 모든 것들이 핵심 고려 대상이 된다. 자일링스는 버텍스-4(Virtex-4) FPGA를 개발하면서 지난 수년 동안 전력소모를 절감시키는데 주력해 왔으며, 3중 산화물 구조를 사용함으로써 정적 소모 절감을 달성했다. 또한 버텍스-4 디바이스는 고객들이 FPGA에서 정적 전력의 열 효과를 분석할 수 있는 방법을 제공한다. 자일링스는 지속적으로 공정 변경 및 개선, 아키텍처 변화, 전압 스케일링 제품, 소프트웨어 전력 최적화 전략 등 여러 서로 다른 전력소모 전략을 구현하고 연구해 왔다.

아티스-7(Artix-7), 킨텍스-7(Kintex-7), 버텍스-7(Virtex-7) 디바이스로 구성된 자일링스 7시리즈 FPGA의 경우 이러한 모든 전략이 정적 전력 및 동적 전력, I/O 전력 상에 어떠한 영향을 미치는지 평가되었다. 또한 추가적으로 새로운 기술의 위험요인들과

구현방법에 따른 시장출시 기간, 성능 영향, 소프트웨어 영향, 그리고 동일한 가격대를 유지할 수 있는 다이 면적 등에 대한 조사가 수행되었다. 이 기술논문은 자일링스의 최신 28nm 7시리즈 FPGA와 관련된 여러 측면의 전력문제를 다루고 있으며, 자일링스가 선택한 28 HPL 공정을 비롯해 모든 자일링스 제품에 걸쳐 제공되는 유용성, 그리고 정적 전력 및 동적 전력, I/O 전력 전반에 걸쳐 전력소모를 절감하기 위한 아키텍처 측면의 혁신과 기능은 무엇인지를 설명하고 있다.

올바른 공정 기술 선택

모든 공정 노드마다 자일링스는 FPGA 아키텍처에 가장 적합한 옵션들을 결정하고, 혁신적인 공정 기술을 연구함으로써 제품을 출시하기 까지 수년 간의 노력을 기울인다. 이러한 연구는 성능 및

전력, 제조 용이성에 초점이 맞춰져 있다. TSMC는 28nm에서 3가지 공정 기술, 즉 28 LP 공정, 28 HP 공정, 28 HPL 공정을 제공한다. 자일링스 7 시리즈를 위한 가장 최상의 선택은 28 HPL 공정이었으며, 이는 전력 및 성능 면에서 획기적인 결과를 보여주었다.

자일링스는 7 시리즈 FPGA를 정의하는 단계에서 모든 가능한 28nm 공정 기술을 고려했다. 처음부터 자일링스는 HKMG 트랜지스터 기술이 FPGA 애플리케이션에 유리하다는 점을 확인하고, 이 기술을 개발하고 정의하기 위해 파운드리 파트너와 긴밀하게 작업을 수행했다. HKMG는 획기적으로 고유의 성능을 향상(40nm 및 기존 Poly/SiON(Polysilicon/Silicon Oxy-Nitride) 이상)시킬 수 있으며, 고성능 및 저가격 FPGA를 모두 커버할 수 있는 통일된 아키텍처를 구현할 수 있다. 40nm 기반의 다른 기업이 보고한 바에 따르면, 더 낮은 전력을 위해 고유 성능의 일부를 트레이드 오프함으로써 정적 전력 문제를 부분적으로 완화시키는 것으로 나타났다.

통일된 아키텍처

7 시리즈 FPGA에서의 통일된 아키텍처 전략은 28 HPL 공정을 기반으로 하고 있으며, 고성능 영역을 커버하는 것은 물론 획기적인 전력소모 절감이 가능하다. 누설 전류가 적은 HPL 공정(HP 공정 대비)을 사용함으로써 복잡하고 비용이 많이 소모되는 정적 전력 관리 구조를 FPGA 디자인 상에 사용할 필요가 없게 되었으며, 따라서 자일링스는 시장출시 기간 단축, 제품의 새로운 기능, 견고한 디자인, 성능 향상에 주력할 수 있게 되었다. 대량생산 및 고성능 FPGA에 걸쳐 통일된 아키텍처를 사용함으로써 얻을 수 있는 이점들은 FPGA 업계에서는 타의 추종을 불허하는 것으로, 다음과 같은 기능들이 제공된다:

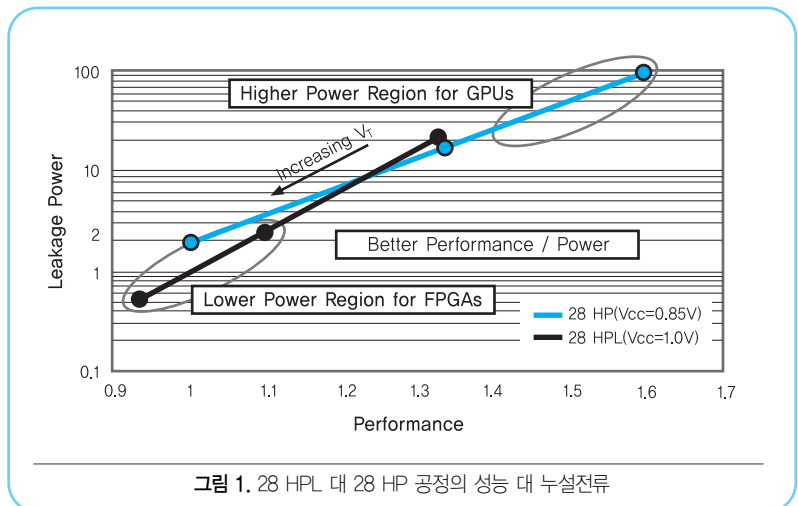
- 서로 다른 FPGA 디바이스 및 제품군에 걸쳐 손쉬운 상향, 하향 마이그레이션
- 고객의 코드 및 IP 재사용

- 공통의 블록(블록 RAM, DSP, I/O, 클럭킹, 인터커넥트 로직, 메모리 인터페이스)

28 HPL 공정의 장점

28 HPL 공정 기술은 28 HP 공정에 사용된 임베디드 SiGe 공정에서 나타나는 어떠한 누설 및 누설 문제를 방지할 수 있으며, 보다 가격 효율적인 공정 솔루션을 제공한다. HPL 공정의 보다 큰 디자인 헤드룸(전압 헤드룸)은 28 HP 공정에서는 불가능한 더 넓은 범위의 동작 전압 VCC 선택 및 유연한 전력 대비 성능 전략을 실현할 수 있다. 또 다른 28 HPL 공정의 장점은 다음과 같다:

- 고성능 모드(VCC=1.0V): 28 HPL은 FPGA를 위한 성능 타겟 범위에서 더 낮은 정적 전력소모로 28 HP 보다 향상된 성능(그림 1)을 제공한다.
- 저전력 모드(VCC=0.9V): 28 HPL은 28 HP 보다 65% 낮은 정적 전력을 제공한다. 28 HPL의 헤드룸은 자일링스 VCC=0.9V인 경우에서도 분배 시 높은 성능을 갖는 부분을 선택할 수 있도록 해 준다.(그림 1 참조) 동적 전력 또한 이러한 낮은 전압에서 20%까지 줄일 수 있다.
- AVS(Adaptive Voltage Scaling) 혹은 VID(Voltage ID) 모드: 이러한 모드는 고객들이 VCC 제어를 통해 전력소모를 절감할



수 있는 기능으로, 일부 디바이스에서는 부가적인 성능을 얻을 수 있다. 특히 VID, 즉 전압 ID는 각 디바이스에 저장되어 있다. 이 판독이 가능한 전압 ID는 성능을 만족시킬 수 있는 최소한의 동작 전압을 나타낸다.

저전력 모드의 장점은 28 HPL 공정의 전압 헤드룸을 통해 제공된다. 이는 일부 7 시리즈 FPGA에서 이용 가능하다.

28 HP 기술은 정적 전력소모량이 중요하지 않은 고성능 제품을 위해서는 좋은 선택이 될 수 있다. 역사적으로 MPU, GPU 등급의 제품은 HP 타입의 공정기술을 사용해 왔다. FPGA도 적절한 전력 레벨을 얻기 위해 성능에 대한 일부 트레이드 오프를 수행하면서 이를 따라왔다. 역사상 MPU 및 GPU 등급의 제품은 65nm 및 40nm 기술 노드에서 HP(G) 타입 공정을 사용해 왔지만, MPU, GPU 등급 제품의 전력 레벨은 복잡한 히트싱크를 필요로 하는 때

를 사용하고 있는 FPGA의 경우 상당한 성능 저하를 유발하며, 주로 이 공정의 낮은 동작전압 VCC로 인한 좁은 전압 헤드룸 때문이다. 이러한 성능 저하는 특히 극단적으로 높은 온도와 공정에서 나타나며, 기능이 절충될 수 있다. 전압 헤드룸은 VCC-VT로 계산되며, VCC가 코어 전압이고 VT가 전압 임계값이다.

낮은 누설점에서 28 HPL은 28 HP 보다 향상된 성능과 전력 수를 제공하며, 낮은 누설 영역이 더 넓다. 보다 낮은 누설 영역으로 확장하는 능력은 자일링스가 완전히 다른 공정 기술로 전환하지 않고도 저전력 아티스-7 제품군을 개발할 수 있도록 했다.

네트 결과, 28 HP 공정으로 구현된 경쟁 FPGA는 버텍스-7 FPGA에 비해 성능 상의 장점이 없으며, 일부 경쟁 FPGA는 2배 이상의 정적 전력이라는 심각한 패널티를 감수해야 하는데다 누설을 비롯한 여러 문제를 가지고 있다.(표 1 참조)

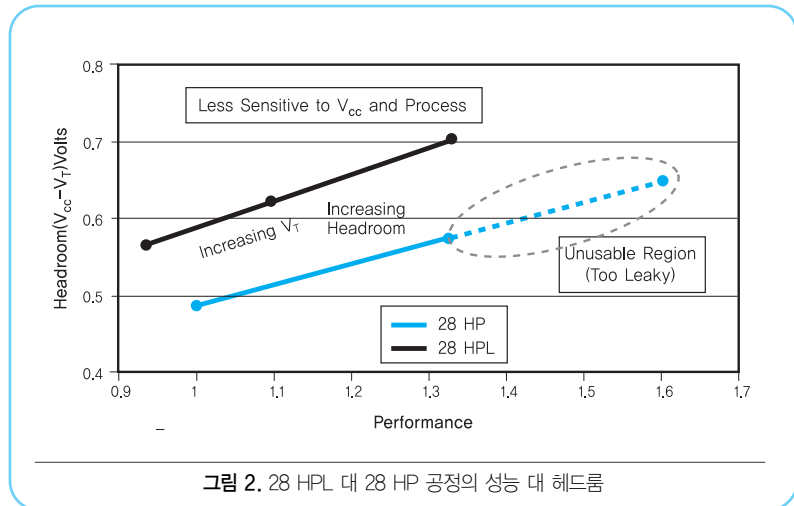
공정 변경으로 인한 민감도 및 전압, 온도는 28 HPL(28 HP 대

옵션	누설 전류를 줄이기 위한 다른 FPGA 벤더들의 28 HP 공정	저누설 전류의 자일링스 28 HPL
낮은 누설 트랜지스터	커스텀	스탠다드
낮은 벌크 누설 트랜지스터	커스텀	스탠다드
게이트 길이를 혼합하여 신중히 사용	신규	65nm부터 자일링스가 사용(버텍스-5 FPGA와 그 이전)
캐패시턴스	1X	1X
서로 다른 전력 모드를 위해 2개의 다른 V _{cc} 전압에서 동작 가능	헤드룸 부족으로 불가능	가능

표 1. 전력을 줄이고 성능은 높이기 위한 28 HP의 공정 기법

우 높은 레벨에 이르러 있다. FPGA는 적절한 전력 레벨을 위해 성능을 일부 트레이드 오프함으로써 이러한 흐름을 따라왔다. 불행하게도 28nm HP(G) 공정에서의 이러한 전력 레벨은 MPU나 GPU 등급의 제품에서는 여전히 받아들여질 수는 있지만, FPGA에서는 수용이 어려울 정도로 높은 수준에 이르렀다.

이러한 전력 레벨은 FPGA에서는 적절하지 않다. 불행히도 28 HP는 계속해서 높은 정적 전력 레벨에서 성능 상의 이점을 제공하는데 주안점을 두고 있다. 28 HP 기술에서 적절한 정적 전력 레



비)에서 크게 향상되었으며, 주요하게는 보다 큰 디자인 헤드룸 덕분이었다. 그림 2는 28 HPL 및 28 HP 각 공정의 트랜지스터 VT(Voltage Thresholds) 범위에서 공정 헤드룸 대 성능 플롯을 보여준다.

이러한 요소들 모두 고객들이 HP 공정 보다 HPL 공정으로 보다 쉽게 전력 및 성능 목표를 달성할 수 있도록 도와준다. HP 공정으로 구현된 디바이스 상에서 동작하는 동일한 디자인은 HPL 공정으로 구현된 디바이스에서 이 디자인을 동작시키는 경우보다 더 빨리 시스템의 열이나 전력 한계치에 도달하게 된다. 주파수 헤드룸은 HPL 공정 및 자일링스의 최적화된 트랜지스터 믹싱 구조에서 얻을 수 있는 직접적인 결과이다. 전압 스케일링 기능과 다른 HPL 공정의 이점은 동일한 전력과 열 한계치를 가진 동일한 디자인에서 더 많은 전력 헤드룸을 제공한다. 그림 3은 이러한 컨셉을 보여주고 있다.

28 HPL 공정 기반의 전압 스케일링 디바이스는 HP 공정으로 구현된 디바이스와 비교해 전례없는 수준으로 정적 전력을 절감할 수 있다. 그림 4는 28 HPL 및 전압 스케일링으로 누설 전압을 더욱 줄일 수 있음을 보여준다.

HP 및 LP 공정

HPL은 저가격, 고성능, 저전력은 물론 제품군 전반에 걸쳐 손쉬운 마이그레이션이 가능한 세계적인 수준의 FPGA 제품군을 구현하기 위한 공정으로서 올바른 선택이었다는 것은 분명하다. HPL 공정은 자일링스가 합리적인 수준의 전력으로 두 배에 이르는 로직 셀을 통합할 수 있도록 했다. 28nm에서 고객들에게 향상된 성능을 제공하는 최상의 방법은 보다 높은 용량을 통해서이다. 즉, CPU 대비 더 높은

성능을 제공하는 멀티코어 프로세서 방식과 유사한 병렬화를 최대한 활용할 수 있도록 고객들이 동일한 열과 전력 제한치 내에서 디자인을 근본적으로 두 배로 늘릴 수 있도록 하는 것이다.

HP 공정은 누설(~40W)로 소모되는 전력이 최대 40%에 달하는 100W 범위에서 동작하는 GPU 및 CPU를 목표로 하고 있다. 이 누설량은 전체 전력 중 최대 약 40W의 제한치를 가지고 있고 GPU/CPU와 비슷한 다이 사이즈를 지닌 FPGA에서는 적절하지 않다. 만약 이 누설 전류를 HP 공정에서 FPGA에 사용할 수 있는 적정 수준으로 감소시킨다면, 성능은 상당히 떨어지게 되며, HPL 공정과 비교해 성능은 비슷하지만 공정 비용은 더욱 높아지고 더욱 복잡하게 된다.

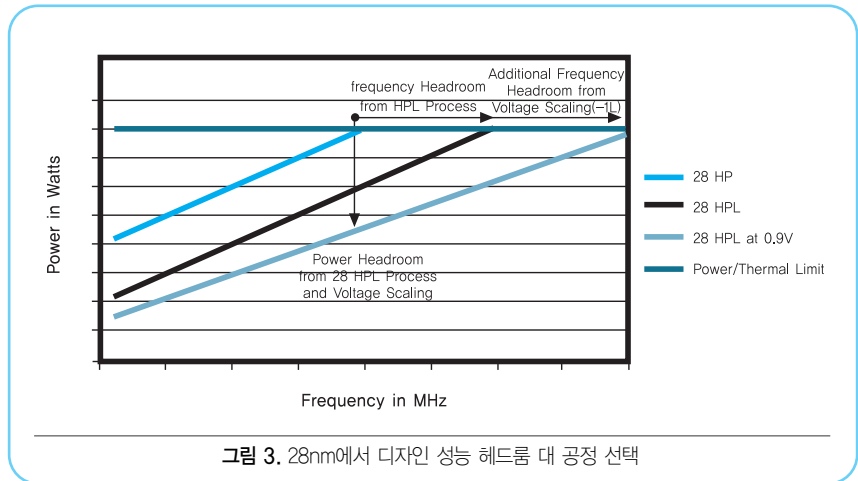


그림 3. 28nm에서 디자인 성능 헤드룸 대 공정 선택

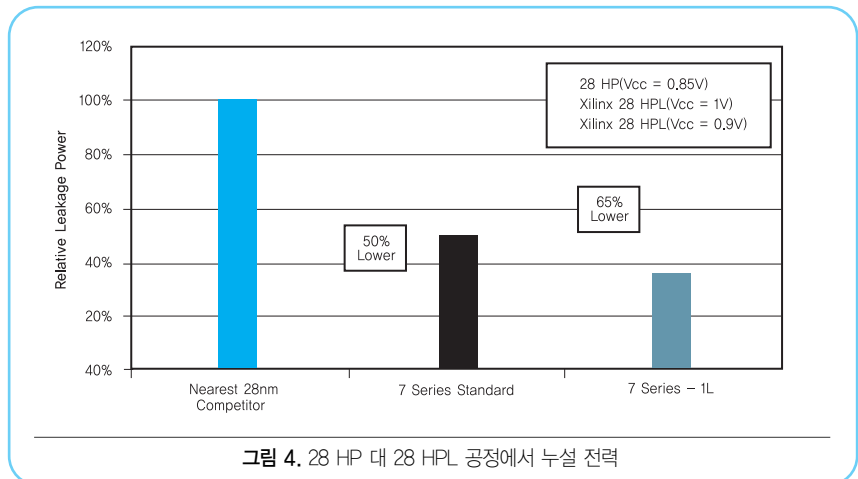


그림 4. 28 HP 대 28 HPL 공정에서 누설 전력

LP 공정은 기존의 성능이 낮은 애플리케이션을 겨냥한 PolySiON 공정으로 FPGA에 사용하기에는 적합하지 않다. 적정 수준의 성능 목표를 달성하기 위해 28 LP는 반드시 1.1V VCC에서 동작해야 하며, 동적 전력은 HKMG 28nm 공정에 비해 매우 높아지게 된다. 이 공정은 낮은 성능의 셀룰러 폰에 보다 근접한 솔루션이다.(표 2 참조)

자일링스가 HPL 공정을 선택함으로써 FPGA 업계를 선도하는 28G급 SerDes 성능 구현에 제한을 두어야 하는 것은 아니다. 버텍스-7 HT FPGA는 업계 최고 대역폭의 28G 트랜시버 16개를 제공하고 있으며, 이는 다른 FPGA 밴더들 대비 최소한 4배에 해당하는 것이다.

정적, 동적, I/O 전력소모 절감

수많은 기술과 연구 작업이 FPGA를 위한 올바른 저전력 공정을 결정하는데 필요하다. 하지만 저전력은 공정 레벨에만 국한되는 것은 아니다. 자일링스는 28nm 노드의 모든 각도에서 전력 효율을 높이기 위해 주력해 왔다. 자일링스가 주안점을 두고 있는 포괄적인 전력소모 절감 전략은 공정 개선 및 아키텍처 혁신, 전압 스케일링 전략과 소프트웨어 최적화 전략에 걸쳐 이루어졌다. 수십여 개에 달하는 옵션들이 정적 및 동적, 혹은 I/O 전력 절감 비중에 따라 평가되었으며, 구현시간 및 위험 요소뿐만 아니라 수율 등도 각각 평가되었다. 마찬가지로 각 전력소모 절감 기법이 성능 및 비용에 미치는 영향과 디자인 플로우 방법론에 미치는 영향, 전반적인 스케줄에 미치는 영향도 평가되었다. 통일된 아키텍처 전략으로 28nm 7 시리즈 FPGA에는 많은 요소들이 구현되었으며, 저전력 특성은 제품군 전반에 걸쳐 지원되고 있다.

공정	정적 FPGA 속도	정적 누설 전류	기술 특징	타겟 애플리케이션
28 LP	87%	250%	기존 PolySiON:복잡한 임베디드 SiGe 스트레인	기존 저성능 셀룰러 폰
28 HPL	100%	100%	HKMG: 간단한 회전 기반 스트레인	FPGA, ASIC, ASSP
28 HP	102%	220%	HKMG:복잡한 임베디드 SiGe 스트레인	GPU, CPU

표 2. 28nm 공정 비교

절감 기법	전력 감소	자일링스의 선택 이유
28 HPL 공정 사용	HP 공정과 비교해 50% 절감	자일링스는 특히 FPGA를 위해 이 저전력, 고성능 공정을 협력 개발
통합 블록 및 코어 로직의 트랜지스터 분산 최적화	이전 세대에 비해 40%에서 80% 절감, 높은 임계값 전압 트랜지스터를 가진 블록에 따라 다름	디자인 시간에 대한 자일링스의 투자는 고객 애플리케이션에서 누설전류를 획기적으로 감소
적층형 실리콘 인터커넥트 기술	트랜지스터 수를 줄임으로써 소프트-IP 구현과 비교해 정적 전력을 최고 90% 절감	여러 고객들이 필요로 하는 범용 블록 세트를 선택함으로써 보다 향상된 성능과 낮은 정적 전력 제공. 표 4의 동적 전력 감소 참조
사용하지 않는 블록의 전력 게이팅	활용 여부에 따라 블록 RAM 누설 전류를 최고 100%까지 제거	고객들이 사용하지 않는 블록에 대한 전력 패네티를 부담하지 않고 블록에 전력 공급
부분 리컨피규레이션	로직의 여러 섹션을 활성 디자인에 교체해 넣거나 뺄 수 있다면 80% 정적 전력 소모 절감	자일링스만의 고유한 장점으로 탁월한 정적 전력 절감
전압 스케일링(-1L 디바이스)	누설로 인한 정적 전력은 대략 V_{CONT}^3 와 비례 (즉, 10% 낮은 V_{CONT} 에서 30%까지 절감)	IC 디자인 검증 및 구현에 앞서 제조 테스트 기반 공정 스크린으로 보다 낮은 전력 옵션 실현 가능
2.5V에서 1.8V의 낮은 V_{CCAUX} 전압	PLL, IDELAY, 그리고 다른 I/O 블록에서 이전 세대와 비교해 30% 절감	FPGA에서 고가의 DC 전력을 획기적으로 절감

표 3. 7 시리즈 FPGA에 사용된 정적 전력 절감 기법

정적 전력소모 절감

28nm 노드에서 정적 전력소모를 줄이는 가장 큰 요인 중 하나는 TSMC의 HPL 공정으로 HP 공정에 비해 정적 전력이 50% 낮다. 또한 자일링스는 전력을 낮추기 위해 공정 레벨을 넘어서는 전체론적 접근방법을 취했으며, 28nm에서 새롭게 도입되거나 개선된 수많은 정적 전력 절감 기능들을 구현했다.(표 3 참조)

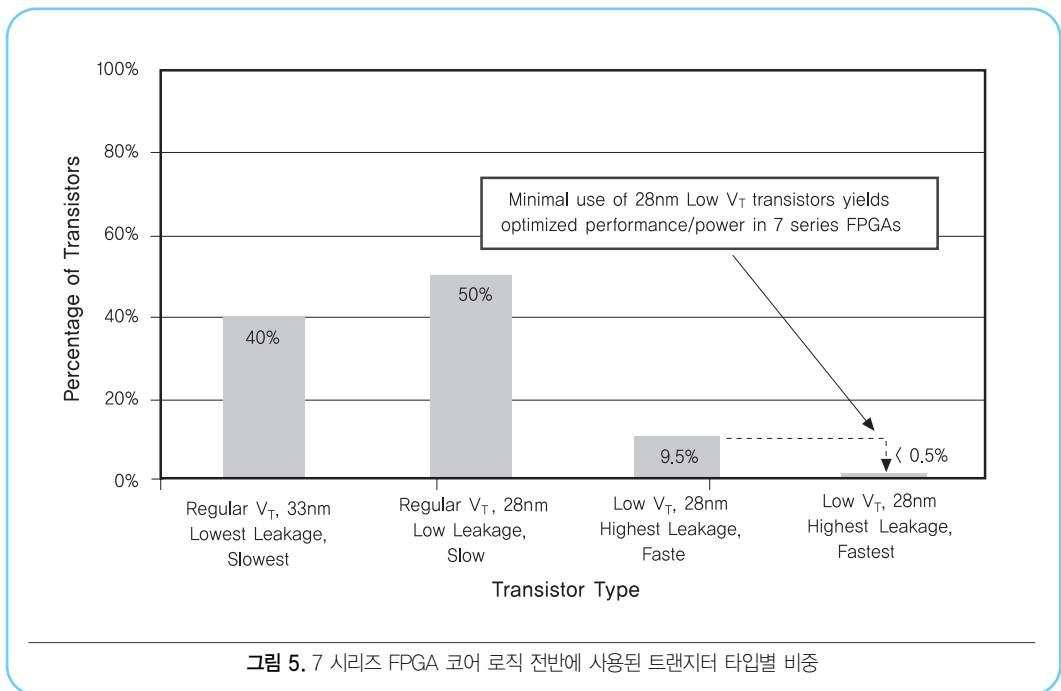
최적화된 트랜지스터 혼합

버텍스-6 FPGA에서 최초로 도입된 것처럼, 모든 7 시리즈 FPGA에서 보다 신중한 트랜지스터 선택을 통해 혜택을 얻을 수 있었으며, 심지어 기존 세대보다 더 많은 트랜지스터를 혼합하였다. 디자이너들은 높거나 낮은, 또는 표준의 임계값 전압 트랜지스터와 다양한 길이 및 폭의 게이트를 이용할 수 있다. 각 트랜지스터는 고유의 누설 및 성능 특성을 가지고 있다. 또한 15배에서 20배에 달하는 고속 및 저속 트랜지스터 간의 누설 전류가 서로 다르다는 점을 이해하는 것은 중요하다. 가능한 가장 낮은 누설 전류를 얻기 위해서 자일링스는 각 블록을 설계할 때 가장 낮은 누설 트랜지스터만을 이용해 시작했으며, 그런 다음 블록의 성능 목표를 달성하는데 필요한 경우에만 보다 높은 속도의 트랜지스터를 이용했다. 이러한 방법은 각 블록에 사용된 누설이 높은 트랜지스터를 획기적으로 줄일 수 있으며, 최대한 차

이를 줄일 수 있다. HPL 공정과 결합해 자일링스는 이전 세대에 비해 65%의 정적 전력소모를 절감했다.(그림 5 참조)

향상된 전압 스케일링 옵션

자일링스는 28 HPL 공정에서 얻은 헤드룸을 통해 구현 가능한 또 다른 이점인 전압 스케일링 옵션을 제공한다. 7 시리즈 FPGA는 2개의 1V 및 0.9V 코어 전압으로 동작할 수 있다. 이는 버텍스-6 및 스파르탄-6(Spartan-6) 디바이스에서 처음 도입된 전력소모 전략과 유사한 것이다. 0.9V에서 구동하는 디바이스는 속도 등급에 따라 '-1L'로 표기된다. 성능은 -1 속도 등급과 유사하지만 'L'은 저전력을 나타낸다. 이러한 디바이스는 전압 드롭만으로 정적 전력을 30%까지 줄일 수 있다. 또한 전압 드롭은 성능까지 떨어뜨리지만, 자일링스는 이러한 -1L 디바이스를 표준 디바이스와 비교해 보다 엄격한 누설 사양 및 속도를 갖출 수 있도록 재조정했다. 자일링스는 -1L 디바이스에 오직 낮은 누설 디바이스만을 선택했다.(그림 6 참조) 이러한 스크리닝 방법은 표준 속도 등급의 디바이스와 비교해 최악의 프로세스에서도 전력소모



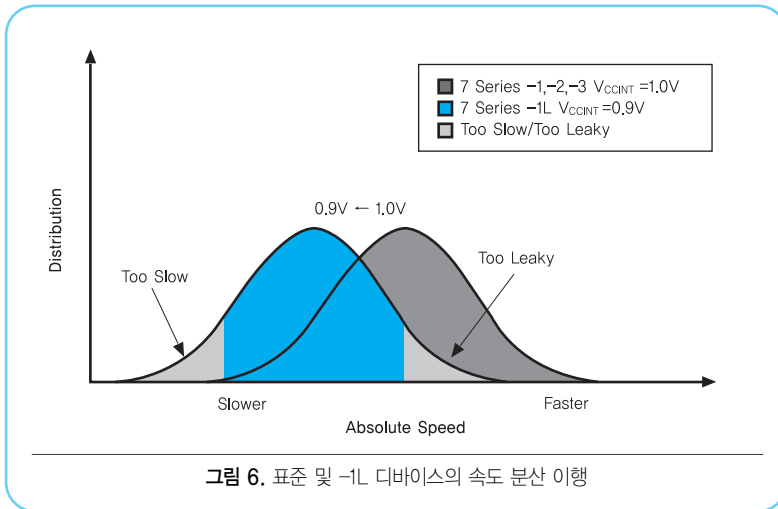


그림 6. 표준 및 -1L 디바이스의 속도 분산 이행

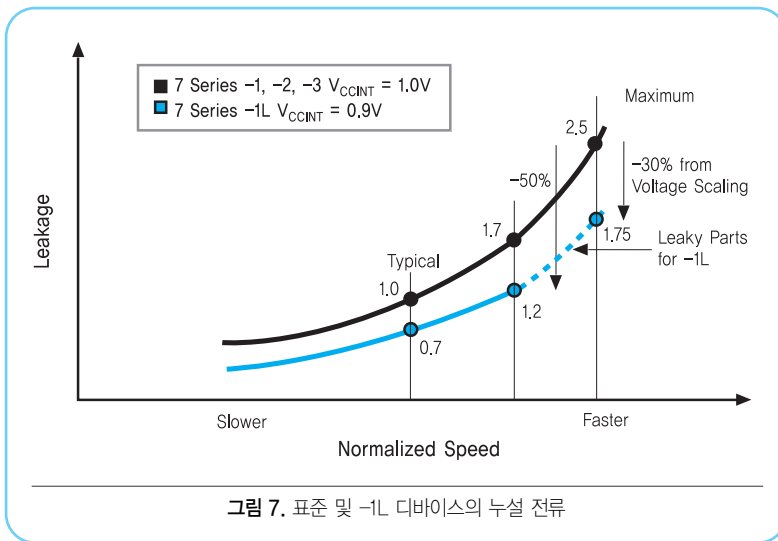


그림 7. 표준 및 -1L 디바이스의 누설 전류

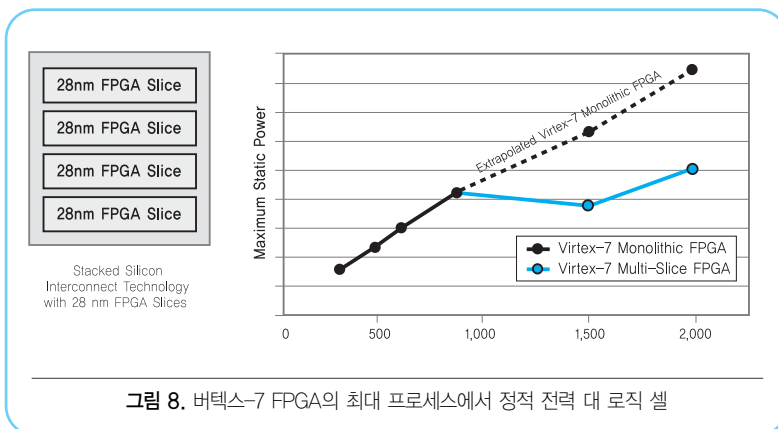


그림 8. 버텍스-7 FPGA의 최대 프로세스에서 정적 전력 대 로직 셀

를 50%까지 줄일 수 있다.(그림 7 참조)

전력 분산 시스템은 전원공급 장치가 최악의 조건 하에서도 디자인의 기능에 맞게 적절히 소싱할 수 있도록 하기 위해 최악(최대)의 전력 상황에도 대응할 수 있어야 한다. 따라서 자일링스는 최악의 프로세스에서 정적 전력을 줄이는데 더 많은 노력을 경주했다.

>적층형 실리콘 인터커넥트 기술

각 트랜지스터가 누설 요소를 가지고 있기 때문에 최악의 경우 누설은 FPGA가 커질수록 심각한 문제가 되며, 일부 대형 디바이스는 10억 개 이상의 트랜지스터를 가지고 있기도 하다.

XC7V1500T 및 XC7V2000T와 같은 대형 7 시리즈 FPGA는 자일링스의 적층형 실리콘 인터커넥트 기술을 통해 개발되었다. 간단히 설명하면, 이 기술은 대형의 싱글 디바이스를 구현하기 위해 다중 다이를 이용한다. 이러한 적층형 실리콘 인터커넥트 기술의 장점은 표준 모놀리식 다이 기반의 비슷한 크기의 디바이스와 비교해 정적 전력을 최대한 줄일 수 있다는 것이다.(그림 8 참조)

예를 들어, 하나의 다이가 일반적인 누설 전류의 X 유닛과 최악의 누설 2X 유닛을 갖춘 500K 로직 셀을 나타낸다고 하면, 적층형 실리콘 인터커넥트 기술을 사용하지 않은 1,500K 로직 셀 디바이스는 최악의 누설 전류를 가진 약 6X의 유닛을 갖게 된다. 하지만 적층형 실리콘 인터커넥트 기술과 자일링스의 저전력 전력을 이용하면, 1,500K 로직 셀 디바이스는 불과 3.6X 유닛의 최악의 누설을 갖게 되며, 최악의 누설 전력을 40% 절감할 수 있다.

자일링스는 싱글 디바이스에 최악의 누설 다이를 모두 배치하지 않는 것으로 결론을 내렸다. 디바이스에서 하나의 다이는 최악의 누설에 근접하

지만, 다른 다이는 표준에 가깝다. 따라서 동일한 용량의 싱글 다이와 비교해 훨씬 낮은 최악의 누설 사양을 얻을 수 있다.

또한 적층형 실리콘 인터커넥트 기술은 획기적으로 I/O 인터커넥트 전력소모를 줄여준다. 자일링스 SSI 디바이스(예, 벤틱스-7 1500T, 2000T FPGA)와는 달리 소형의 단일 FPGA로 2M 로직 셀을 제공하기 위해서는 기능 대역폭에서 따로 떨어져 있는 디바이스를 연결하기 위해 수만 개의 I/O 컨피규레이션이 필요할 것이다. 적층형 실리콘 인터커넥트 기술을 갖춘 I/O 인터커넥트 전력은 I/O와 트랜시버로 구현된 동일한 인터페이스 보다 100배 (bandwidth/W) 더 적다. 이러한 획기적인 전력 절감은 커넥션이 모두 온칩에 구현되므로 신호를 오프 칩으로 구동하기 위한 전력이 필요하지 않기 때문이며, 믿을 수 없을 정도의 빠른 속도와 저전력이 가능하다.(그림 9 참조)

〉 낮은 VCCAUX

다른 정적 전력 절감은 아키텍처 레벨에서 이루어진다. 자일링스는 2.5V에서 1.8V까지 VCCAUX 전압을 낮췄다. 이를 통해 PLL, IDELAY, 임출력 버퍼, 컨피규레이션 로직 등 VCCAUX로 구동되는 모든 블록에서 전력 소모를 30%까지 절감한다.

〉 미사용 블록의 전력 게이팅

여러 세대에 걸쳐 자일링스 FPGA는 사용하지 않는 트랜시버와 PLL, DCM, I/O를 차단할 수 있는 기능을 제공해 왔다. 또한 7 시리즈 디바이스에서 자일링스는 미사용 블록 RAM의 전력 게이팅을 추가했다.

이전 세대 자일링스 FPGA에서 조사한 바에 의하면, 전체 누설의 약 30%는 블록 RAM의 누설 전류였다. 자일링스는 적극적으로 이러한 누설 전류를 줄이기 위해 블록 RAM을 개선시켰다. 7 시리즈 FPGA에서 블록 RAM의 누설 전류는 디바이스 상의 모든 블록 RAM이 아니라 디자인에 사용된

블록에서만 발생한다. 소프트웨어는 블록 RAM이 예시화가 되었는지 아닌지를 판단하고, 디자인이 로드되면 디바이스에서 예시화된 블록 RAM에만 전력이 라우팅되고 반대로 사용하지 않는 블록 RAM은 전력이 중단된다.(그림 10 참조)

〉 부분 리컨피규레이션 및 정적 전력 감소

일부를 제외하고는(적층형 실리콘 인터커넥트 기술을 사용하고 있는 디바이스) 정적 전력은 직접적으로 디바이스 크기와 관련이 있다. 정적 전력을 줄이는 한가지 간단한 방법은 보다 작은 디바이스를 사용하는 것이다. 그러나 과거 많은 디자인의 경우 보다 작은 다이에 맞출 수가 없었다. 이는 벤틱스-6 FPGA에서 변화하

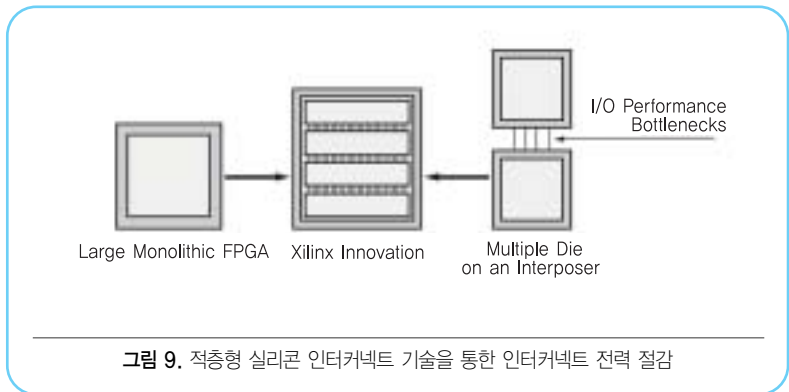


그림 9. 적층형 실리콘 인터커넥트 기술을 통한 인터커넥트 전력 절감

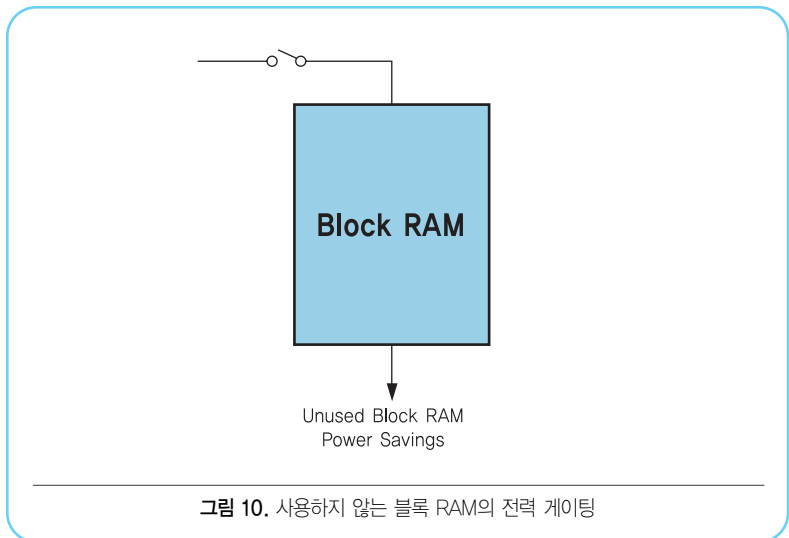


그림 10. 사용하지 않는 블록 RAM의 전력 게이팅

기 시작했고, 7 시리즈 FPGA에서는 메인스트림 디자인에 부분 리컨피규레이션 기능을 채택하면서 계속해서 진화하고 있다. 비록 자일링스가 세대에 걸쳐 부분 리컨피규레이션 기술을 가지고 있었지만, 최근 이 기능은 소프트웨어를 향상시킴으로 보다 폭넓게 FPGA 디자인에 적용되고 있다. 부분 리컨피규레이션 기능을 통해 고객들은 근본적으로 FPGA를 시간 단위로 나눌 수 있으며, 디자인의 부분들을 독립적으로 구동할 수 있다. 따라서 디자인의 모든 부분들이 당시 100% 필요한 것이 아니라면, 훨씬 작은 디바이스를 사용할 수 있게 된다.

또한 부분 리컨피규레이션은 잠재적으로 동작 전력뿐만 아니라 정적 전력을 줄일 수 있다. 예를 들어, 많은 고객 디자인은 매우 빠른 속도로 동작이 가능해야 하지만, 최대 성능은 상대적으로 짧은 시간 대에서만 필요할 수 있다. 전력을 줄이기 위해 고객들은 부분 리컨피규레이션을 사용하여 100% 최대 성능을 항상 유지하도록 디자인하는 대신에 고성능 디자인을 동일한 디자인의 저전력 버전으로 전환할 수 있다. 그런 다음 시스템이 필요로 할 때 다시 고성능 디자인으로 돌아갈 수도 있다.(그림 11 참조)

또한 이러한 원리는 특히 높은 전력의 인터페이스가 100% 항상 요구되지 않을 경우 I/O 표준에도 적용할 수 있다. LVDS는 동작과 상관없는 고전력 인터페이스로 높은 DC 전류가 인터페이스 전력으로 요구되기 때문이다. 고객은 부분 리컨피규레이션을 사용하여 최고 성능이 요구되지 않을 때 LVDS에서 LVCMOS와 같은 저전력 인터페이스로 I/O를 변경할 수 있으며, 그런 다음 고속 전송이 필요할 때 LVDS로 전환할 수 있다. €



그림 11. 부분 리컨피규레이션을 이용한 기능 수정 및 사이즈 감소

The leading edge e-Magazine

www.epnc.co.kr
 디지털 프린터의 Innovation 엔진 테크월드
 e-mail:webmaster@techworld.co.kr